



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0006365  
Application Number

출원 년 월 일 : 2003년 01월 30일  
Date of Application  
JAN 30, 2003

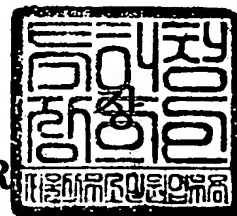
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      05      월      30      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2003.01.30
【국제특허분류】	H01L
【발명의 명칭】	듀얼 포트 반도체 메모리 장치
【발명의 영문명칭】	Semiconductor memory device including a dual port
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이태정
【성명의 영문표기】	LEE,Tae Jung
【주민등록번호】	671201-1063624
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통 현대@ 107-1102
【국적】	KR
【발명자】	
【성명의 국문표기】	김병선
【성명의 영문표기】	KIM,Byung Sun
【주민등록번호】	610403-1542612

【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1235 풍림@ 301-1102
【국적】	KR
【발명자】	
【성명의 국문표기】	이준형
【성명의 영문표기】	LEE, Joon Hyung
【주민등록번호】	711112-1041914
【우편번호】	463-914
【주소】	경기도 성남시 분당구 정자동(한솔마을) 청구아파트 107-1101
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	25 면 25,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	25 항 909,000 원
【합계】	963,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

피모스 스캔 트랜지터를 포함하는 듀얼 포트 반도체 메모리 장치의 메모리 셀 레이아웃에 대하여 개시한다. 본 발명에 의한 듀얼 포트 반도체 메모리 장치는 2개의 피모스 부하 트랜지스터, 2개의 엔모스 풀다운 트랜지스터, 2개의 엔모스 패스 트랜지스터 및 1개의 피모스 스캔 트랜지스터로 구성되는데, 스캔 트랜지스터가 피모스 트랜지스터이기 때문에 노이즈 마진이 향상된다. 그리고, 이 7개의 트랜지스터는 각각 2개의 엔웰 및 2개의 피웰에 배열되는데, 엔웰과 피웰은 교대로 일렬로 배열되며 그 결과 메모리 셀의 단축 방향 길이가 상당히 짧다. 본 발명의 메모리 셀 레이아웃에 의하면, 비트 라인쌍을 웰 경계면과 평행한 방향 즉 단축 방향으로 배치함으로써 비트 라인의 길이를 줄일 수 있고, 아울러 비트 라인 및 상보 비트 라인 사이에 고정된 전위를 가지는 도전 라인을 배치함으로써 비트 라인쌍 사이에서 발생하는 간섭 현상을 방지할 수 있다.

**【대표도】**

도 3

**【색인어】**

에스램, 듀얼 포트, 스캔 트랜지스터, 노이즈 마진, 비트 라인 간섭(cross-talking)

**【명세서】****【발명의 명칭】**

듀얼 포트 반도체 메모리 장치{Semiconductor memory device including a dual port}

**【도면의 간단한 설명】**

도 1은 종래 기술에 따른 싱글 포트 반도체 메모리 장치를 구성하는 메모리 셀의 등가 회로를 도시하고 있는 메모리 셀 등가회로도이고,

도 2는 본 발명에 따른 듀얼 포트 반도체 메모리 장치를 구성하는 메모리 셀의 등가 회로의 일 예를 도시하고 있는 메모리 셀 등가회로도이고,

도 3은 도 2에 도시된 등가회로를 구현하기 위한 메모리 셀의 첫 번째 레이어에 대한 레이아웃의 일 실시예를 보여주는 다이어그램이고,

도 4는 도 3에 도시된 메모리 셀 레이아웃을 포함하는 반도체 메모리 장치에 대하여 4개의 메모리 셀을 함께 도시한 4셀 레이아웃을 보여주는 다이어그램이고,

도 5는 도 2에 도시된 등가회로를 구현하기 위한 메모리 셀의 두 번째 레이어에 대한 레이아웃의 일 실시예를 보여주는 다이어그램이고,

도 6은 도 2에 도시된 등가회로를 구현하기 위한 메모리 셀의 세 번째 레이어에 대한 레이아웃의 일 실시예를 보여주는 다이어그램이고,

도 7은 도 2에 도시된 등가회로를 구현하기 위한 메모리 셀의 네 번째 레이어에 대한 레이아웃의 일 실시예를 보여주는 다이어그램이고,

도 8은 본 발명에 따른 반도체 메모리 장치의 메모리 셀로 구성된 메모리 셀 어레이 유닛을 포함하는 반도체 메모리 장치의 구성을 도시하고 있는 블록도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 구체적으로는 7개의 트랜지스터를 포함하는 듀얼 포트(dual port) 에스램(SRAM) 장치의 메모리 셀 레이아웃 및 이를 포함하는 반도체 메모리 장치에 관한 것이다.

<10> 반도체 메모리 장치는 기억방식에 따라 디램(DRAM; Dynamic Random Access Memory)과 에스램(SRAM; Static Random Access Memory)으로 분류된다. 이중 에스램은 빠른 스피드 특성, 저전력 소모 특성 및 단순한 방식으로 동작된다는 장점을 갖는다. 아울러, 에스램은 주기적으로 저장된 정보를 리프레쉬할 필요가 없으며, 로직 반도체 장치를 제조하는 공정과 호환성이 있기 때문에 임베디드 메모리(embedded memory)로써 많이 사용되고 있다.

<11> 일반적인 에스램 메모리 셀은 2개의 드라이버 트랜지스터(또는 풀 다운 트랜지스터(pull down transistor)), 2개의 부하 장치 및 2개의 패스 트랜지스터(또는 액세스 트랜지스터)로 구성된다. 또한, 에스램은 부하 장치의 종류에 따라, 씨모스(CMOS)형과, 고부하 저항(HLR; High Load Resistor)형과, 박막 트랜지스터(TFT; Thin Film Transistor)형의 3가지 구조로 분류된다. 씨모스형은 부하 장치로서 피모스(P channel type MOS transistor) 트랜지스터를 사용하고, 고부하 저항형은 부하 장치로서 고저항을 사용하며, 박막 트랜지스터형은 부하 장치로서 폴리실리콘 박막 트랜지스터를 사용한다.

- <12> 따라서, 씨모스형 에스램 장치의 메모리 셀은 부하 장치로 사용되는 2개의 피모스 트랜지스터를 포함하여 총 6개의 트랜지스터로 구성된다. 6개의 트랜지스터 중에서 나머지 4개는 엔모스 트랜지스터(N channel type MOS transistor)가 사용되는 것이 일반적이다. 4개의 엔모스 트랜지스터 중에서 구동 트랜지스터 2개는 전술한 피모스 트랜지스터와 함께 각각 인버터를 이루고, 나머지 2개의 엔모스 트랜지스터는 패스 트랜지스터이다.
- <13> 도 1에는 6개의 트랜지스터로 구성된 싱글 포트 에스램 장치의 등가회로도가 도시되어 있다. 그리고, 이와 같은 등가회로도가 구현된 반도체 메모리 장치의 메모리 셀 레이아웃에 대한 일 예는 일본 특개평 제10-178110호에 개시되어 있다.
- <14> 도 1을 참조하면, 제1 피모스 트랜지스터(P1) 및 제1 엔모스 트랜지스터(N1)가 제1 씨모스 인버터를 구성하며, 제2 피모스 트랜지스터(P2) 및 제2 엔모스 트랜지스터(N2)는 제2 씨모스 인버터를 구성한다. 제1 씨모스 인버터 및 제2 씨모스 인버터의 입력 단자 및 출력 단자가 서로 엇갈려 연결되어 있으며, 이와 같이 연결되는 지점이 제1 메모리 노드(M1) 및 제2 메모리 노드(M2)이다. 제1 씨모스 인버터 및 제2 씨모스 인버터의 입력 단자 및 출력 단자가 서로 엇갈려 연결됨으로써, 이 2개의 씨모스 인버터는 플립 플롭 회로를 구성한다.
- <15> 제3 엔모스 트랜지스터(N3) 및 제4 엔모스 트랜지스터(N4)는 각각 패스 트랜지스터로서, 액세스 트랜지스터의 역할을 한다. 패스 트랜지스터(N3, N4)의 게이트는 워드 라인(WL)에 연결되어 있고, 소스 및 드레인은 각각 메모리 노드(M1 및 M2) 및 비트 라인쌍(BL 및 /BL)에 연결되어 있다.

- <16> 위와 같은 씨모스형 에스램 장치의 작동 속도를 제약하는 요소는 여러 가지가 있다. 등가 회로의 메모리 셀 레이아웃 측면에서 살펴보면, 에스램 장치를 구성하는 배선 라인의 저항 특성 및 인접한 비트 라인 및 상보 비트 라인 사이에서 발생하는 기생 커패시턴스의 크기 등이 영향을 미친다.
- <17> 그리고 등가 회로 자체의 측면에서 살펴보면, 데이터를 읽고 쓸 수 있는 통로가 되는 포트의 수 등이 에스램 장치의 작동 속도에 영향을 미친다. 예컨대, 싱글 포트 에스램 장치는 패스 트랜지스터를 통하여 연결된 비트 라인쌍이 입력 단자이자 출력 단자의 역할을 한다. 싱글 포트 에스램 장치의 경우에는 비트 라인쌍이 선택되어 입, 출력 동작이 수행중인 경우에는, 동일한 포트를 통하여 다른 데이터를 입, 출력할 수 없다. 또한, 동일한 데이터를 병렬적으로 처리하는 것도 불가능하다. 그 결과, 싱글 포트 에스램 장치는 스피드를 향상시키는데 한계가 있으며, 데이터의 병렬 처리 시스템에는 적용하기가 용이하지 않다.
- <18> 반면, 작동 속도를 향상시키기 위하여 입력 단자 및/또는 출력 단자를 여러 개 포함하고 있는 멀티 포트 씨모스 에스램 장치가 제안되어져 왔다. 일 예로, 미국 특허 제 5,754,468호 및 제 6,005,795호에는 멀티 포트 에스램 장치의 등가회로도 및 그 등가회로가 구현된 메모리 셀 레이아웃에 대한 일 예가 개시되어 있다.
- <19> 개시된 것과 같은 멀티 포트 에스램 장치는 입력 및 출력 즉 읽기 및 쓰기 동작을 각각의 포트를 통하여 동시에 수행할 수 있다. 또한, 하나의 메모리 셀에 저장된 데이터를 각 포트를 통하여 연결된 다른 시스템으로 출력할 수도 있다. 따라서, 멀티 포트 에스램 장치는 고속 동작을 실현하는데 유리하며, 병렬 처리 시스템이 요구되는 장치에서도 필수적이다.



**【발명이 이루고자 하는 기술적 과제】**

- <20> 본 발명이 이루고자 하는 기술적 과제는 메모리 셀의 노이즈 마진을 향상시킬 수 있고, 비트 라인쌍에 의한 기생 커패시턴스를 최소화할 수 있는 듀얼 포트 반도체 메모리 장치를 제공하는데 있다.
- <21> 또한, 본 발명이 이루고자 하는 또 다른 기술적 과제는 메모리 셀의 노이즈 마진을 향상시킬 수 있고, 상호 간섭 현상을 방지할 수 있는 듀얼 포트 반도체 메모리 장치를 제공하는데 있다.
- <22> 또한, 본 발명이 이루고자 하는 또 다른 기술적 과제는 메모리 셀의 노이즈 마진을 향상시킬 수 있고, 엘씨디 드라이버 집적 회로(LCD driver IC, LDI)와 같이, 단축 길이에 비하여 장축의 길이가 상당히 긴 장치에 유용하게 사용될 수 있는 듀얼 포트 반도체 메모리 장치를 제공하는데 있다.

**【발명의 구성 및 작용】**

- <23> 상기한 기술적 과제들을 달성하기 위한 본 발명에 의한 듀얼 포트 반도체 메모리 장치의 일 실시예는 각각 P+ 활성 영역이 형성된 제1 엔웰과 제2 엔웰 및 각각 N+ 활성 영역이 형성된 제1 피웰과 제2 피웰로 나누어진 다수의 메모리 셀을 포함하는 반도체 기판; 워드 라인 및 스캔 어드레스 라인; 및 비트 라인과 상보 비트 라인으로 구성된 비트 라인쌍 및 스캔 데이터 아웃 라인을 포함하고, 상기한 다수의 메모리 셀 각각은, 제1 엔모스 트랜지스터, 제1 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제1 씨모스 인버터; 제2 엔모스 트랜지스터, 제2 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제2 씨모스 인버터로서, 제2 씨모스 인버터의 입력 단자는 제1 씨모스 인

버터의 출력 단자에 연결되어 제1 메모리 노드를 구성하고, 그리고 제2 씨모스 인버터의 출력 단자는 제1 씨모스 인버터의 입력 단자에 연결되어 제2 메모리 노드를 구성하는 제2 씨모스 인버터; 게이트가 워드 라인에 연결되고, 드레인은 비트 라인에 연결되며, 그리고 소스가 제1 메모리 노드에 연결되어 있는 제3 엔모스 트랜지스터; 게이트가 워드 라인에 연결되고, 드레인은 상보 비트 라인에 연결되며, 그리고 소스가 제2 메모리 노드에 연결되어 있는 제4 엔모스 트랜지스터; 및 게이트가 스캔 어드레스 라인에 연결되고, 소스는 제2 메모리 노드에 연결되어 있으며, 그리고 드레인은 스캔 데이터 아웃 라인에 연결되어 있는 제3 피모스 트랜지스터를 포함하는데, 제1 엔모스 트랜지스터 및 제3 엔모스 트랜지스터는 제1 피웰의 N+ 활성 영역에 형성되고, 제2 엔모스 트랜지스터 및 제4 엔모스 트랜지스터는 제2 피웰의 N+ 활성 영역에 형성되고, 제1 피모스 트랜지스터 및 제2 피모스 트랜지스터는 제1 엔웰의 P+ 활성 영역에 형성되며, 제3 피모스 트랜지스터는 제2 엔웰의 P+ 활성 영역에 형성된다.

<24>       상기한 실시예의 일 측면에 의하면, 반도체 메모리 장치의 메모리 셀 레이아웃은 다수의 메모리 셀의 셀 경계면에 대하여 대칭이 되도록 배열되는 것이 바람직하다.

<25>       상기한 실시예의 다른 측면에 의하면, 제1 피웰, 제2 피웰, 제1 엔웰 및 제2 엔웰은 엔웰과 피웰이 교대로 반도체 기판에 배열되는 것이 바람직하다. 그리고, 비트 라인 쌍 및 스캔 데이터 아웃 라인은 제1 피웰, 제2 피웰, 제1 엔웰 및 제2 엔웰이 접하는 경계면과 평행한 방향으로 배열되는 것이 더욱 바람직하며, 워드 라인 및 스캔 어드레스 라인은 제1 피웰, 제2 피웰, 제1 엔웰 및 제2 엔웰이 접하는 경계면과 수직한 방향으로 배열되는 것이 더욱 바람직하다.

<26>      상기한 실시예의 또 다른 측면에 의하면, 고정된 전압 포텐셜을 가지는 배선 라인이 반도체 메모리 장치에 더 포함되어 있고, 배선 라인은 비트 라인쌍과 동일한 레이어에 배열되어 있는 것이 바람직하며, 비트 라인 및 상보 비트 라인과 고정된 전압 포텐셜을 갖는 배선 라인이 교대로 배열되는 것이 더욱 바람직하다. 그리고, 비트 라인 및 상보 비트 라인 사이에는 전원 전압 라인이 배열될 수 있다.

<27>      상기한 기술적 과제들을 달성하기 위한 본 발명의 다른 실시예에 의한 듀얼 포트 반도체 메모리 장치는 각각 P+ 활성 영역이 형성된 제1 엔웰과 제2 엔웰 및 각각 N+ 활성 영역이 형성된 제1 피웰과 제2 피웰로 나누어지고, 제1 엔웰 및 제2 엔웰은 제2 피웰의 양 측면에 위치하고, 제1 피웰 및 제2 피웰은 제1 엔웰의 양 측면에 위치하는 다수의 메모리 셀을 포함하는 반도체 기판; 워드 라인 및 스캔 어드레스 라인; 및 비트 라인과 상보 비트 라인으로 구성된 비트 라인쌍 및 스캔 데이터 아웃 라인을 포함하고, 상기 다수의 메모리 셀 각각은 제1 엔모스 트랜지스터, 제1 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제1 씨모스 인버터; 제2 엔모스 트랜지스터, 제2 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제2 씨모스 인버터로서, 제2 씨모스 인버터의 입력 단자는 제1 씨모스 인버터의 출력 단자에 연결되어 제1 메모리 노드를 구성하고, 그리고 제2 씨모스 인버터의 출력 단자는 제1 씨모스 인버터의 입력 단자에 연결되어 제2 메모리 노드를 구성하는 제2 씨모스 인버터; 게이트가 워드 라인에 연결되고, 드레인 은 비트 라인에 연결되며, 그리고 소스가 제1 메모리 노드에 연결되어 있는 제3 엔모스 트랜지스터; 게이트가 워드 라인에 연결되고, 드레인 은 상보 비트 라인에 연결되며, 그리고 소스가 제2 메모리 노드에 연결되어 있는 제4 엔모스 트랜지스터; 및 게이트가 스캔 어드레스 라인에 연결되고, 소스는 제2 메모리 노드에 연결되어 있으며, 그리고 드레

인은 스캔 데이터 아웃 라인에 연결되어 있는 제3 피모스 트랜지스터를 포함하며, 제1 엔모스 트랜지스터 및 제3 엔모스 트랜지스터는 제1 피웰의 N+ 활성 영역에 형성되고, 제2 엔모스 트랜지스터 및 제4 엔모스 트랜지스터는 제2 피웰의 N+ 활성 영역에 형성되고, 제1 피모스 트랜지스터 및 제2 피모스 트랜지스터는 제1 엔웰의 P+ 활성 영역에 형성되며, 제3 피모스 트랜지스터는 제2 엔웰의 P+ 활성 영역에 형성된다.

<28> 상기한 실시예의 일 측면에 의하면 반도체 메모리 장치의 메모리 셀 레이아웃은 다수의 메모리 셀의 셀 경계면에 대하여 대칭이 되도록 배열되는 것이 바람직하다.

<29> 상기한 실시예의 다른 측면에 의하면, 비트 라인쌍 및 스캔 데이터 아웃 라인은 제1 피웰, 제2 피웰, 제1 엔웰 및 제2 엔웰이 접하는 경계면과 평행한 방향으로 배열되는 것이 바람직하며, 워드 라인 및 스캔 어드레스 라인은 제1 피웰, 제2 피웰, 제1 엔웰 및 제2 엔웰이 접하는 경계면과 수직인 방향으로 배열되는 것이 더욱 바람직하다.

<30> 상기한 실시예의 또 다른 측면에 의하면, 고정된 전압 포텐셜을 가지는 배선 라인이 반도체 메모리 장치에 더 포함되어 있고, 배선 라인은 비트 라인쌍과 동일한 레이어에 배열되어 있는 것이 바람직하며, 비트 라인 및 상보 비트 라인과 고정된 전압 포텐셜을 갖는 배선 라인이 교대로 배열되는 것이 더욱 바람직하다. 그리고, 비트 라인 및 상보 비트 라인 사이에는 전원 전압 라인이 배열될 수 있다.

<31> 상기한 기술적 과제들을 달성하기 위한 본 발명의 또 다른 실시예에 의한 듀얼 포트 반도체 메모리 장치는, 상기한 실시예에 의한 반도체 메모리 장치에 포함된 메모리 셀이 매트릭스 형태로 다수 배열된 메모리 셀 어레이 유닛; 다수의 워드 라인 및 스캔 어드레스 라인; 다수의 비트 라인과 상보 비트 라인으로 구성된 비트 라인쌍 및 다수의 스캔 데이터 아웃 라인; 워드 라인을 선택하기 위한 리드/라이트 로우 디코더 유닛; 스

캔 어드레스 라인을 선택하기 위한 스캔 로우 디코더 유닛; 비트 라인쌍을 선택하기 위한 컬럼 디코더 유닛; 스캔 데이터 아웃 라인으로 출력되는 데이터를 래치하여 스캔 출력신호를 발생하기 위한 스캔 래치 회로 유닛; 비트 라인쌍을 프리차지하기 위한 프리차지 회로 유닛; 스캔 데이터 아웃 라인을 프리디스차지하기 위한 프리디스차지 회로 유닛; 비트 라인쌍에 데이터를 입출력하기 위한 데이터 입출력 게이트 유닛; 비트 라인 쌍과 상보 비트 라인의 전압차를 증폭하기 위한 센스 증폭기 유닛; 및 센스 증폭기 유닛으로부터 출력되는 데이터는 출력 데이터로 발생시키고, 입력 데이터는 데이터 입출력 게이트 유닛으로 출력하기 위한 데이터 입출력 회로 유닛을 포함한다.

<32> 본 실시예의 일 측면에 의하면 상기한 반도체 메모리 장치는 고정된 전압 포텐셜을 가지는 다수의 배선 라인을 더 포함하고, 이 배선 라인은 비트 라인쌍과 동일한 레이어(layer)에 배열되어 있을 수 있다. 그리고, 이 배선 라인은 비트 라인 및 상보 비트 라인 사이에 서로 교대로 배열되어 있는 것이 바람직하며, 이 경우에 비트 라인 및 상보 비트 라인 사이에 배열된 배선 라인은 전원 전압 라인일 수 있다.

<33> 본 실시예의 다른 측면에 의하면, 상기한 반도체 메모리 장치는 엘씨디 드라이버 집적회로에 장착되어 사용될 수 있다.

<34> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예로 한정되는 것으로 해석되어져서는 안 된다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한

요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 어떤 층은 상기한 다른 층 또는 반도체 기판에 직접 접촉하여 존재하거나 또는 그 사이에 제3의 층이 개재될 수 있다.

<35> 도 2에는 본 발명에 따른 듀얼 포트 반도체 메모리 장치의 메모리 셀에 대한 등가 회로도의 일 예가 도시되어 있다.

<36> 도 2를 참조하면, 제1 피모스 트랜지스터(P1) 및 제1 엔모스 트랜지스터(N1)는 제1 씨모스 인버터를 구성한다. 그리고, 제2 피모스 트랜지스터(P2) 및 제2 엔모스 트랜지스터(N2)는 제2 씨모스 인버터를 구성한다. 이들 씨모스 인버터들의 입력 단자 및 출력 단자는 서로 교차하여 연결되어 있으며, 따라서 이 네 개의 모스 트랜지스터(P1, P2, N1 및 N2)는 플립 플랍 회로를 구성한다. 제1 씨모스 인버터의 출력 단자이고 제2 씨모스 인버터의 입력 단자인 제1 메모리 노드(M1)와 제2 씨모스 인버터의 출력 단자이고 제1 씨모스 인버터의 입력 단자인 제2 메모리 노드(M2)에 데이터가 저장된다.

<37> 제3 엔모스 트랜지스터(N3) 및 제4 엔모스 트랜지스터(N4)는 패스 트랜지스터이다. 즉 각각 제1 메모리 노드(N1) 및 제2 메모리 노드(N2)에 대한 액세스 트랜지스터의 역할을 한다. 제3 엔모스 트랜지스터(N3)의 게이트는 워드 라인(WL)에 연결되어 있으며, 소스는 제1 메모리 노드(N1), 드레인 비트 라인(BL)에 연결되어 있다. 제4 엔모스 트랜지스터(N4)의 게이트도 워드 라인(WL)에 연결되어 있으며, 소스는 제2 메모리 노드(N2), 드레인 상보 비트 라인(/BL)에 연결되어 있다.

<38> 제5 엔모스 트랜지스터(N5)는 듀얼 포트를 실현하기 위하여 싱글 포트를 가지는 반도체 에스램 장치에 추가된 것이다. 즉 도시된 등가회로에 의하면, 제5 엔모스 트랜지스터(N5)를 동작시켜서 제2 메모리 노드(M2)에 저장된 데이터를 읽는 것이 가능하다.

- <39> 제3 피모스 트랜지스터(P3)의 게이트는 스캔 어드레스 라인(SAL)에 연결되어 있으며, 소스는 제2 메모리 노드(N2)에 연결되어 있으며, 드레인도 스캔 데이터 아웃 라인(SDOL)에 연결되어 있다.
- <40> 이와 같은 회로 구성에 의하면, 워드 라인(WL), 비트 라인(BL) 및 상보 비트 라인(/BL)을 선택함으로써 메모리 노드(M1, M2)에 대하여 데이터를 읽고 쓰는 것이 가능하다. 이것이 첫 번째 포트이다. 그리고, 스캔 어드레스 라인(SAL) 및 스캔 데이터 아웃 라인(SDOL)을 선택함으로써 역시 메모리 노드(M2)에 대하여 데이터를 읽는 것이 가능하다. 이것이 두 번째 포트이다. 특히, 이와 같은 등가회로를 가진 메모리 장치에서는 두 번째 포트에 기초하여 데이터를 읽는 동작이 제1 포트를 통한 동작과는 독립적으로 수행될 수 있으며, 메모리 노드(N1, N2)의 상태에 아무런 영향을 끼치지 않는다.
- <41> 계속해서 도 3 내지 도 7을 참조하여, 상기한 등가회로가 구현된 메모리 셀을 포함하는 반도체 메모리 장치의 메모리 셀 레이아웃에 대하여 상세하게 기술하기로 한다. 도 3에는 도 2에 도시된 등가회로를 구현하기 위한 메모리 셀의 첫 번째 레이어에 대한 레이아웃의 일 실시예가 도시되어 있다.
- <42> 도 3을 참조하면, 첫 번째 레이어에는 반도체 기판 및 이 반도체 기판에 형성된 두 개의 피웰(PW1 및 PW2)과 두 개의 엔웰(NW1 및 NW2), 피웰(PW1 및 PW2)과 엔웰(NW1 및 NW2)에 형성된 N<sup>+</sup> 확산 영역(NA) 및 P<sup>+</sup> 확산 영역(PA) 그리고 이 기판 상에 형성된 배선층(PL1 내지 PL5) 및 다수의 금속 콘택(MC)이 도시되어 있다. 배선층(PL1 내지 PL5)은 도전 물질로 형성하는데, 예를 들어 폴리 실리콘, 실리사이드 또는 다른 도전 물질 등으로 형성할 수 있다.

- <43> 보다 구체적으로 살펴보면, 두 개의 피웰(PW1 및 PW2) 및 두 개의 엔웰(NW1 및 NW2)이 반도체 기판에 형성된다. 예컨대, 제1 피웰(PW1)은 제1 엔모스 트랜지스터(N1) 및 제3 엔모스 트랜지스터(N3)가 형성되는 영역이고, 제2 피웰(PW2)은 제2 엔모스 트랜지스터(N2) 및 제4 엔모스 트랜지스터(N4)가 형성되는 영역이다. 그리고, 제1 엔웰(NW1)은 제1 피모스 트랜지스터(P1) 및 제2 피모스 트랜지스터(P2)가 형성되는 영역이고, 제2 엔웰(NW)은 제3 피모스 트랜지스터(P3)가 형성되는 영역이다.
- <44> 두 개의 피웰(PW1 및 PW2) 및 두 개의 엔웰(NW1 및 NW2)은 교대로 배열되는 것이 바람직하다. 피웰(PW1 및 PW2)과 엔웰(NW1 및 NW2)이 교대로 배열되면, 총 4개의 웰 영역이 기판에 나란히 형성되기 때문에, 본 발명의 실시예에 의한 메모리 셀은 장축 방향(도면에서 x축 방향)으로 길이가 직사각형 구조를 가진다. 장축의 길이가 상당히 긴 직사각형 모양의 메모리 셀을 포함하는 반도체 메모리 장치는 엘씨디 드라이버 집적회로와 같이 장축의 길이가 긴 반도체 칩에 적합하다.
- <45> 피웰(PW1 및 PW2)과 엔웰(NW1 및 NW2)이 교대로 배열되는 경우, 제1 엔웰(NW1) 및 제2 엔웰(NW2)은 제2 피웰(PW2)의 양 측면에 배치되고, 제1 피웰(PW1) 및 제2 피웰(PW2)은 제1 엔웰(NW1)의 양 측면에 배치되는 것이 바람직하다. 이와 같이 배치되는 경우, 하나의 메모리 셀에 각 웰은 좌로부터(즉, x축 방향으로) 제1 피웰(PW1), 제1 엔웰(NW1), 제2 피웰(PW2) 및 제2 엔웰(NW2)의 순서대로 배열되거나, 반대 순서 즉 제2 엔웰(NW2), 제2 피웰(PW2), 제1 엔웰(NW1) 및 제1 피웰(PW1)의 순서로 배열될 수 있다.
- <46> 본 발명의 일 실시예에 의한 반도체 메모리 장치에는 상기한 2가지 방식으로 웰이 배치되어 있는 메모리 셀을 모두 포함될 수 있다. 서로 다른 웰 배열을 포함하는 메모리 셀을 번갈아 배치하여, 메모리 셀이 메모리 셀 경계면에 대하여 대칭이 되도록 하는 것



이 바람직하다. 그리고, 대칭축이 되는 메모리 셀 경계면은 웰 경계면과 평행한 셀 경계면만이 아니라, 웰 경계면에 수직인 셀 경계면도 대칭축이 되도록 하는 것이 바람직하다. 메모리 셀이 메모리 셀 경계면에 대하여 대칭이 되면, 메모리 셀을 구성하는 각 소자 및 이를 전기적으로 연결하기 위한 금속 콘택(MC) 및 비아 콘택(VC)을 효율적으로 배열할 수가 있다.

<47> 도 3에는 제1 피웰(PW1), 제1 엔웰(NW1), 제2 피웰(PW2) 및 제2 엔웰(NW2)의 순서로 배열된 메모리 셀이 도시되어 있다. 그리도, 도 4에는 도 3에 도시된 메모리 셀 및 이 메모리 셀과 메모리 셀 경계면에 대하여 대칭된 메모리 셀을 포함하는 4개의 메모리 셀에 대한 메모리 셀 레이아웃이 도시되어 있다.

<48> 계속해서 도 3을 참조하면, 제1 배선층(PL1) 및 제2 배선층(PL2)이 엔웰(NW1) 및 피웰(PW1 또는 PW2)에 걸쳐서 반도체 기판 상에 형성된다. 반도체 기판 상에 제1 배선층(PL1) 및 제2 배선층(PL2)은 일정한 간격을 두고 평행하게 형성하는 것이 바람직하다. 그리고, 엔웰(NW1) 및 피웰(PW1 또는 PW2)의 경계면과 수직한 방향으로 길게 형성하는 것이 바람직하다.

<49> 본 실시예에서, 제1 엔웰(NW1)에 위치하는 제1 배선층(PL1)의 일단은 제1 피모스 트랜지스터(P1)의 게이트 전극 역할을 하고, 제1 피웰(PW1)에 위치하는 제1 배선층(PL1)의 타단은 제1 엔모스 트랜지스터(N1)의 게이트 전극 역할을 한다. 그리고, 제1 엔웰(NW1)에 위치하는 제2 배선층(PL2)의 일단은 제2 피모스 트랜지스터(P2)의 게이트 전극 역할을 하고, 제2 피웰(PW2)에 위치하는 제2 배선층(PL2)의 타단은 제2 엔모스 트랜지스터(N2)의 게이트 전극 역할을 한다.

- <50> 계속해서 도 3을 참조하면, 제3 배선층(PL3)이 제1 피웰(PW1)에 형성된다. 제3 배선층(PL3)은 제3 엔모스 트랜지스터(N3)의 게이트 전극 역할을 하며, 제3 배선층(PL3)은 제2 배선층(PL2)과 나란하게 형성할 수 있다. 또한, 제1 워드라인과 연결되는 제3 배선층(PL3)의 일단은 메모리 셀의 경계면에 위치하도록 형성하여, 이웃한 메모리 셀과 메탈 콘택(MC)을 공유하도록 할 수 있다.
- <51> 그리고, 제4 배선층(PL4)이 제2 피웰(PW2)에 형성된다. 제4 배선층(PL4)은 제4 엔모스 트랜지스터(N4)의 게이트 전극 역할을 하며, 제4 배선층(PL4)은 제1 배선층(PL1)과 나란하게 형성할 수 있다. 또한, 제1 워드라인과 연결되는 제4 배선층(PL4)의 일단은 제2 피웰(PW2) 및 제2 엔웰(NW)의 경계면에 위치하도록 형성하여, 단위 메모리 셀이 차지하는 면적이 증가하는 것을 방지할 수 있다.
- <52> 계속해서 도 3을 참조하면, 제5 배선층(PL5)이 제2 엔웰(NW2)에 형성된다. 제5 배선층(PL5)은 제2 엔웰(NW2)내에 형성되며, 제3 피모스 트랜지스터(P3)의 게이트 전극 역할을 한다. 그리고, 제5 배선층(PL5)의 일단에는 스캔 어드레스 라인(SAL)과 전기적 연결이 될 수 있도록 금속 콘택(MC)이 위치한다.
- <53> 이어서, N+ 활성 영역 및 P+ 활성 영역의 레이아웃에 대해서 살펴보기로 한다.
- <54> 계속해서 도 3을 참조하면, 제1 배선층(PL1)을 사이에 두고, 그 양쪽에 위치한 제1 엔웰(NW1)에 P형 불순물을 주입하여, P+ 활성 영역(PA11 및 PA12)을 형성한다. 그 결과, 제1 배선층(PL1)을 게이트 전극으로 사용하는 제1 피모스 트랜지스터(P1)가 형성된다. 제1 피모스 트랜지스터(P1)의 소스(PA11)에는 전원 라인(Vdd)과 연결되도록 금속 콘택(MC)이 위치하며, 제1 피모스 트랜지스터(P1)의 드레인(PA12)에는 상부 배선층 즉 제1 메모리 노드(N1)와 연결되도록 다른 금속 콘택(MC)이 위치한다.

- <55> 제1 배선층(PL1)을 사이에 두고, 그 양쪽에 위치한 제1 피웰(PW1)에는 N형 불순물을 주입하여, N+ 활성 영역(NA11 및 NA12)을 형성한다. 그 결과, 제1 배선층(PL1)을 게이트 전극으로 사용하는 제1 엔모스 트랜지스터(N1)가 형성된다. 제1 엔모스 트랜지스터(N1)의 소스(NA11)에는 그라운드 라인(Vss)과 연결되도록 금속 콘택(MC)이 위치하며, 제1 엔모스 트랜지스터(N1)의 드레인(NA12)에는 상부 배선층 즉 제1 메모리 노드(N1)와 연결되도록 다른 금속 콘택(MC)이 위치한다.
- <56> 도 2의 등가회로도에 도시된 바와 같이, 제1 엔모스 트랜지스터(N1)는 제3 엔모스 트랜지스터(N3)와 직렬로 연결된다. 즉, 제1 엔모스 트랜지스터(N1)의 드레인은 제3 엔모스 트랜지스터(N3)의 소스와 전기적으로 연결된다. 따라서, 도 3에 도시된 바와 같이, 제1 엔모스 트랜지스터(N1)의 드레인이 형성되는 N+ 활성 영역(NA12)은 제3 엔모스 트랜지스터(N3)의 소스가 형성되는 N+ 활성 영역과 연결될 수 있다.
- <57> 이를 위하여, 제3 배선층(PL3)을 사이에 두고, 그 양쪽에 위치한 제1 피웰(PW1)에 N형 불순물을 주입하여 N+ 활성 영역(NA12 및 NA13)을 형성함으로써, 제1 엔모스 트랜지스터(N1)의 드레인과 제3 엔모스 트랜지스터(N3)의 소스가 전기적으로 연결되도록 하는 것이 바람직하다. 따라서, N+ 활성 영역(NA12)에 위치하는 전술한 금속 콘택(MC)은 제1 엔모스 트랜지스터(N1)의 드레인 및 제3 엔모스 트랜지스터(N3)의 소스에 대한 공유 금속 콘택이 된다.
- <58> 제3 배선층(PL3)을 사이에 둔 다른 하나의 N+ 활성 영역(NA13)에는 제3 엔모스 트랜지스터(N3)의 드레인이 위치한다. 그리고, 제3 엔모스 트랜지스터(N3)의 드레인(NA13)에는 비트 라인(BL)과 연결되도록 금속 콘택(MC)이 위치한다.

- <59> 계속해서 도 3을 참조하면, 제2 배선층(PL2)을 사이에 두고, 그 양쪽에 위치한 제1 엔웰(NW1)에 P형 불순물을 주입하여, P+ 활성 영역(PA13 및 PA14)을 형성한다. 그 결과, 제2 배선층(PL2)을 게이트 전극으로 사용하는 제2 피모스 트랜지스터(P2)가 형성된다. 제2 피모스 트랜지스터(P2)의 소스(PA13)에는 전원 라인(Vdd)과 연결되도록 금속 콘택(MC)이 위치하며, 제2 피모스 트랜지스터(P2)의 드레인(PA14)에는 상부 배선층 즉 제2 메모리 노드(N2)와 연결되도록 다른 금속 콘택(MC)이 위치한다.
- <60> 제2 배선층(PL2)을 사이에 두고, 그 양쪽에 위치한 제2 피웰(PW2)에는 N형 불순물을 주입하여, N+ 활성 영역(NA21 및 NA22)을 형성한다. 그 결과, 제2 배선층(PL2)을 게이트 전극으로 사용하는 제2 엔모스 트랜지스터(N2)가 형성된다. 제2 엔모스 트랜지스터(N2)의 소스(NA21)에는 그라운드 라인(Vss)과 연결되도록 금속 콘택(MC)이 위치하며, 제2 엔모스 트랜지스터(N2)의 드레인(NA22)에는 상부 배선층 즉 제1 메모리 노드(N2)와 연결되도록 다른 금속 콘택(MC)이 위치한다.
- <61> 도 2의 등가회로도에 도시된 바와 같이, 제2 엔모스 트랜지스터(N2)는 제4엔모스 트랜지스터(N4)와 직렬로 연결된다. 즉, 제2 엔모스 트랜지스터(N2)의 드레인은 제4 엔모스 트랜지스터(N4)의 소스와 전기적으로 연결된다. 따라서, 도 3에 도시된 바와 같이, 제2 엔모스 트랜지스터(N2)의 드레인이 형성되는 N+ 활성 영역(NA22)은 제4 엔모스 트랜지스터(N4)의 소스가 형성되는 N+ 활성 영역과 연결될 수 있다.
- <62> 이를 위하여, 제4 배선층(PL4)을 사이에 두고, 그 양쪽에 위치한 제2 피웰(PW2)에 N형 불순물을 주입하여 N+ 활성 영역(NA22 및 NA23)을 형성함으로써, 제2 엔모스 트랜지스터(N2)의 드레인과 제4 엔모스 트랜지스터(N4)의 소스가 전기적으로 연결되도록 하는 것이 바람직하다. 따라서, N+ 활성 영역(NA22)에 위치하는 전술한 금속 콘택(MC)은 제2

엔모스 트랜지스터(N2)의 드레인 및 제4 엔모스 트랜지스터(N4)의 소스에 대한 공유 금속 콘택이 된다.

<63> 제4 배선층(PL4)을 사이에 둔 다른 하나의 N<sup>+</sup> 활성 영역(NA23)에는 제4 엔모스 트랜지스터(N4)의 드레인이 위치한다. 그리고, 제4 엔모스 트랜지스터(N4)의 드레인(NA23)에는 상보 비트 라인(/BL)과 연결되도록 금속 콘택(MC)이 위치한다.

<64> 계속해서 도 3을 참조하면, 제5 배선층(PL5)을 사이에 두고, 그 양쪽에 위치한 제2 엔웰(NW2)에 P형 불순물을 주입하여 P<sup>+</sup> 활성 영역(PA21 및 PA22)을 형성한다. 그 결과, 제5 배선층(PL5)을 게이트 전극으로 사용하는 제3 피모스 트랜지스터(P3)가 형성된다. 제3 피모스 트랜지스터(P3)의 소스(PA21)에는 제2 메모리 노드(M2)와 연결되도록 금속 콘택(MC)이 위치하며, 제3 피모스 트랜지스터(P3)의 드레인(PA22)에는 상부 배선층 즉 비트 라인(SDOL)과 연결되도록 다른 금속 콘택(MC)이 위치한다.

<65> 계속해서 도 3을 참조하여 금속 콘택(MC)의 레이아웃에 대하여 기술하기로 한다. 금속 콘택(MC)은 메모리 셀의 첫 번째 레이어에 형성되는 도전체와 두 번째 레이어에 형성되는 도전체를 전기적으로 연결시켜 준다. 즉, 금속 콘택(MC)은 메모리 셀을 구성하는 트랜지스터의 소스, 드레인 및 폴리 실리콘 배선층과 상부 도전 라인을 연결하기 위하여 메모리 셀의 소정의 위치에 배치된다.

<66> 이러한 금속 콘택(MC)은 메모리 셀을 구성하는 각 구성 소자를 효율적으로 배치하고, 또한 인접한 메모리 셀의 레이아웃을 고려하여 그 숫자를 줄일 수 있다. 예컨대, 메모리 셀간의 경계면이나 각 소자가 연결되는 곳에 배치시킴으로써, 금속 콘택(MC)을 하나만 형성할 수가 있다. 특히, 제1 엔웰(NW1)의 내부에 위치하는 2개의 금속 콘택(MC)은

각각 제1 또는 제2 배선층(PL1 또는 PL2)과 피모스 트랜지스터(P1 또는 P2)의 드레인을 상부 도전층과 전기적으로 연결시켜 줌으로써, 제1 또는 제2 배선층(PL1 또는 PL2)과 피모스 트랜지스터(P1 또는 P2)도 전기적으로 연결되게 한다.

<67> 다음으로, 도 3의 상부에 위치하는 반도체 메모리 장치의 메모리 셀 레이아웃에 대하여 살펴보기로 한다. 도 5에는 도 3에 도시된 메모리 셀 레이아웃의 상부에 형성되는 두 번째 레이어에 대한 메모리 셀 레이아웃의 일 실시예가 도시되어 있다. 도 5에서 점선으로 표시된 부분은 엔웰(NW)과 피웰(PW)의 경계면 즉 격리 영역이 위치하는 영역이다.

<68> 도 5를 참조하면, 제1 금속 배선층(Metal Layer 1)의 레이아웃이 도시되어 있다.

<69> 우선, 제1 금속 배선층(ML101)이 제1 피웰(PW1) 및 제1 엔웰(NW1)의 상부에 형성된다. 제1 금속 배선층(ML101)은 제1 메모리 노드(M1)에 전기적으로 연결되는 도전체들, 즉 제1 피모스 트랜지스터(P1)의 드레인(PA12) 및 제2 배선층(PL2)과 연결되는 금속 콘택(MC)과 제1 엔모스 트랜지스터(N1)의 드레인과 제3 엔모스 트랜지스터(N3)의 소스(NA12)가 연결되는 금속 콘택(MC)을 전기적으로 연결한다.

<70> 또한, 다른 제1 금속 배선층(ML102)은 제1 엔웰(NW1), 제2 피웰(PW) 및 제2 엔웰(NW2)에 걸쳐서 그 상부에 형성된다. 제2 금속 배선층(ML102)은 제2 메모리 노드(M2)에 전기적으로 연결되는 도전체들, 즉 제2 피모스 트랜지스터(P2)의 드레인(PA14) 및 제1 배선층(PL1)과 연결되는 금속 콘택(MC), 제2 엔모스 트랜지스터(N2)의 드레인과 제4 엔모스 트랜지스터(N4)의 소스(NA22)가 연결되는 금속 콘택(MC) 및 제3 피모스 트랜지스터(P3)의 소스(PA21)가 연결되는 금속 콘택(MC)을 전기적으로 연결한다.

- <71> 계속해서 도 5를 참조하면, 두 번째 레이어에는 스캔 데이터 아웃 라인 즉 스캔 데이터 아웃 라인(SDOL)이 형성된다. 스캔 데이터 아웃 라인(SDOL)은 웰 경계면과 평행한 방향 즉 y축 방향으로 형성하는 것이 바람직하다. 왜냐하면, 이 방향이 비트 라인쌍(BL 및 /BL)과 평행한 방향이기 때문인데, 비트 라인쌍(BL 및 /BL)을 웰 경계면과 평행한 방향으로 형성하는 것이 바람직한 이유는 후술한다.
- <72> 전술한 바와 같이, 스캔 데이터 아웃 라인(SDOL)은 제2 메모리 노드(M2)에 저장된 데이터를 제3 피모스 트랜지스터(P3)를 통하여 읽을 수 있는 두 번째 포트의 데이터 라인에 해당되므로, 제3 피모스 트랜지스터(P3)의 드레인(PA22)과 연결되는 금속 콘택(MC)과 전기적으로 연결된다. 따라서, 스캔 데이터 아웃 라인(SDOL)은 제2 엔웰(NW)의 상부에 위치하며, 상, 하로 인접한 다른 메모리 셀의 스캔 데이터 아웃 라인과 길게 연결된다.
- <73> 계속해서 도 5를 참조하면, 금속 콘택(MC) 및 제1 비아 콘택(VC-1)을 전기적으로 연결하기 위한 또 다른 제1 금속 배선층들(ML103 내지 ML111)이 메모리 셀의 두 번째 레이어에 형성된다. 이 때, 서로 연결되는 금속 콘택(MC) 및 제1 비아 콘택(VC-1)이 메모리 셀의 평면 레이아웃에서 다른 위치에 배치되는 경우에는, 제1 금속 배선층(ML103 또는 ML108)의 크기는 이를 고려하여야 한다.
- <74> 제1 비아 콘택(VC-1)은 메모리 셀의 두 번째 레이어에 형성된 도전체와 세 번째 레이어에 형성된 도전체를 전기적으로 연결시켜 준다. 즉, 세 번째 레이어 및 네 번째 레이어에 형성될 비트 라인쌍(BL 및 /BL), 전원 라인(Vdd), 그라운드 라인(Vss) 및 워드 라인(WL)과 스캔 어드레스 라인(SAL) 등이 하부 도전체와 전기적으로 연결되도록 한다.

- <75> 다음으로, 도 5의 상부에 위치하는 반도체 메모리 장치의 메모리 셀 레이아웃에 대하여 살펴보기로 한다. 도 6에는 도 5에 도시된 메모리 셀 레이아웃의 상부에 형성되는 세 번째 레이어에 대한 메모리 셀 레이아웃의 일 실시예가 도시되어 있다. 도 6에서 점선으로 표시된 부분은 엔웰(NW)과 피웰(PW)의 경계면 즉 격리 영역이 위치하는 영역이다.
- <76> 도 6을 참조하면, 비트 라인(BL), 상보 비트 라인(/BL), 전원 라인(Vdd), 그라운드 라인(vss) 및 제2 비아 콘택(VC-2)에 대한 메모리 셀 레이아웃이 도시되어 있다.
- <77> 비트 라인(BL) 및 상보 비트 라인(/BL)이 서로 평행하게 배열된다. 비트 라인(BL)은 제1 비아 콘택(VC-1) 및 금속 콘택(MC)을 통하여 제1 피웰(PW1)에 형성된 제2 엔모스트랜지스터(N2)의 드레인(NA13)과 전기적으로 연결된다. 그리고 상보 비트 라인(/BL)도 제1 비아 콘택(VC-1) 및 금속 콘택(MC)을 통하여 제2 피웰(PW2)에 형성된 제4 엔모스트랜지스터(N4)의 드레인(NA23)과 전기적으로 연결된다.
- <78> 도면에서는 비트 라인(BL)의 중간 부분에 굵은 부분이 있으나, 다른 연결 소자를 본 실시예와 달리 배열함으로써 굵은 부분이 생기지 않도록 할 수도 있다. 예를 들면, 제1 비아 콘택(VC-1)이 제1 엔웰(NW1) 상에 위치하도록 하고, 이를 제1 금속 배선층(ML111)을 통하여 제1 피웰(PW1) 상에 위치하는 금속 콘택(MC)과 전기적으로 연결되게 하면, 굵은 부분이 생기지 않을 수도 있다.
- <79> 그리고, 비트 라인(BL) 및 상보 비트 라인(/BL)은 웰 경계면과 평행하도록 배열하는 것이 바람직하다. 전술한 바와 같이 본 실시예는 총 4개의 웰이 나란히 배열되기 때문에, 메모리 셀의 모양이 장축 즉 x축 방향으로의 길이가 단축 즉 y축 방향으로의 길이에 비하여 상대적으로 크다. 그리고, 단축은 메모리 셀의 경계면이 형성되는 방향이기도



한다. 따라서, 비트 라인쌍(BL 및 /BL)이 셀의 경계면과 평행하게 되면, 그 만큼 비트 라인쌍(BL 및 /BL)이 길이가 작아진다. 비트 라인쌍(BL 및 /BL)의 길이가 짧으면, 그 만큼 기생 커패시턴스도 작게 생기기 때문에 반도체 메모리 장치의 동작 속도가 빠르다.

<80> 계속해서 도 6을 참조하면, 전원 라인(Vdd) 및 2개의 그라운드 라인(Vss)이 비트 라인쌍(BL 및 /BL)과 동일한 레이어에 배열된다. 전원 라인(Vdd)은 제1 비아 콘택(VC-1) 및 금속 콘택(MC)을 통하여 제1 피모스 트랜지스터(P1)의 소스(PA11) 및 제2 피모스 트랜지스터(P2)의 소스(PA13)와 전기적으로 연결된다. 그리고, 2개의 그라운드 라인(Vss)은 각각 제1 비아 콘택(VC-1) 및 금속 콘택(MC)을 통하여 제1 엔모스 트랜지스터(N1)의 소스(NA11) 및 제2 엔모스 트랜지스터(N2)의 소스(NA21)와 전기적으로 연결된다.

<81> 전원 라인(Vdd) 및 2개의 그라운드 라인(Vss)도 웰 경계면에 대하여 평행하도록 배열하는 것이 바람직하다. 이 경우에, 전원 라인(Vdd) 및 2개의 그라운드 라인(Vss)과 비트 라인쌍(BL 및 /BL)은 교대로 배열되도록 하는 것이 더욱 바람직하다. 예컨대, 도시된 바와 같이 비트 라인(BL) 및 상보 비트 라인(/BL) 사이에는 전원 라인(Vdd)을, 그리고 비트 라인(BL) 및 상보 비트 라인(/BL)의 외각에는 각각 하나씩의 그라운드 라인(Vss)이 배열되도록 할 수 있다.

<82> 이와 같이, 비트 라인(BL) 및 상보 비트 라인(/BL) 사이 및 그 외각에 전원 라인(Vdd) 또는 그라운드 라인(Vss)을 배열하면, 반도체 메모리 장치의 전기적 특성이 개선된다. 즉, 비트 라인 쌍(BL 및 /BL) 사이에 고정된 전위를 가지는 도전 라인(본 실시에서는 전원 라인(Vdd))을 배열함으로써, 비트 라인(BL) 및 상보 비트 라인(/BL) 사이에서 나타나는 간섭 현상(cross-talking)이 생기는 것을 방지할 수 있다. 그리고, 비트 라인

쌍(BL 및 / BL)의 외각에 그라운드 라인(Vss)을 배열함으로써, 이웃한 셀에 배열되는 비트 라인쌍과의 사이에서 발생할 수 있는 상호 간섭 현상도 방지할 수 있다.

<83> 계속해서 도 6을 참조하면, 제1 비아 콘택(VC-1)의 일부 및 제2 비아 콘택(VC-2)을 전기적으로 연결하기 위한 제2 금속 배선층(ML21, ML22 및 ML23)이 형성된다.

<84> 다음으로, 도 6의 상부에 위치하는 반도체 메모리 장치의 메모리 셀 레이아웃에 대하여 살펴보기로 한다. 도 7에는 도 6에 도시된 메모리 셀 레이아웃의 상부에 형성되는 네 번째 레이어에 대한 메모리 셀 레이아웃의 일 실시예가 도시되어 있다. 도 7에서 점선으로 표시된 부분은 엔웰(NW)과 피웰(PW)의 경계면 즉 격리 영역이 위치하는 영역이다.

<85> 도 7을 참조하면, 워드 라인(WL), 스캔 어드레스 라인(SAL) 및 제2 비아 콘택(VC-2)에 대한 메모리 셀 레이아웃이 도시되어 있다.

<86> 워드 라인(WL) 및 스캔 어드레스 라인(SAL)이 서로 평행하게 배열된다. 워드 라인(WL)은 제2 비아 콘택(VC-2), 제1 비아 콘택(VC-1) 및 금속 콘택(MC)을 통하여 제3 엔모스 트랜지스터(N3)의 게이트 전극 역할을 하는 제3 배선층(PL3)과 전기적으로 연결된다. 또한, 워드 라인(WL)은 제2 비아 콘택(VC-2), 제1 비아 콘택(VC-1) 및 금속 콘택(MC)을 통하여 제4 엔모스 트랜지스터(N4)의 게이트 전극 역할을 하는 제4 배선층(PL4)과 전기적으로 연결된다. 그리고, 스캔 어드레스 라인(SAL)은 제2 비아 콘택(VC-2), 제1 비아 콘택(VC-1) 및 금속 콘택(MC)을 통하여 제3 피모스 트랜지스터의 게이트 전극 역할을 하는 제5 배선층(PL5)과 전기적으로 연결된다.

- <87> 그리고, 비트 라인쌍(BL 및 /BL)이 웰 경계면과 평행하게 배열되는 경우, 워드 라인(WL) 및 스캔 어드레스 라인(SAL)은 웰 경계면과 수직한 방향 즉, y축 방향으로 길게 배열된다.
- <88> 지금부터는 상기한 실시예의 듀얼 포트 반도체 메모리 장치에 구비된 메모리 셀 레이아웃의 특징을 포함하고, 여기에 주변 회로 장치가 포함된 듀얼 포트 반도체 메모리 장치에 대해서 살펴보기로 한다. 도 8에는 본 발명의 일 실시예에 따라 레이아웃된 메모리 셀로 구성된 메모리 셀 어레이 유닛을 포함하는 반도체 메모리 장치의 구성이 개략적으로 도시되어 있다.
- <89> 도 8을 참조하면, 듀얼 포트 반도체 메모리 장치는 메모리 셀 어레이 유닛(510), 리드/라이트 로우 디코더 유닛(512), 스캔 로우 디코더 유닛(514), 컬럼 디코더 유닛(524), 스캔 래치 회로 유닛(516), 프리차지 회로 유닛(518), 프리디스차지 회로 유닛(528), 데이터 입출력 게이트 유닛(522), 센스 증폭기 유닛(520) 및 데이터 입출력 회로 유닛(524)을 포함하여 구성된다.
- <90> 메모리 셀 어레이 유닛(510)에는 상기한 실시예에 기재된 듀얼 포트 반도체 메모리 장치에 포함된 메모리 셀이 매트릭스 형태로 다수 배열되어 있다. 예컨대, 반도체 기판의 각 메모리셀에는 제1 및 제2 엔웰과 제1 및 제2 피웰이 교대로 형성되어 있으며, 제1 엔웰에는 제1 및 제2 피모스 트랜지스터가, 제2 엔웰에는 제3 피모스 트랜지스터가 배열되어 있고, 제1 피웰에는 제1 및 제3 엔모스 트랜지스터가, 제2 피웰에는 제2 및 제4 피모스 트랜지스터가 배열되어 있다. 그리고, 반도체 기판 상에는 각 배선층, 비트 라인쌍, 스캔 데이터 아웃 라인, 워드 라인 및 스캔 어드레스 라인이 상기한 실시예와 같이 배열되어 있다.

- <91> 계속해서 도 8을 참조하여, 듀얼 포트 반도체 메모리 장치를 구성하는 각 구성 요소들의 기능을 살펴보기로 한다.
- <92> 먼저, 리드/라이트 로우 디코더 유닛(512)은 리드/라이트 동작시에 리드/라이트 로우 어드레스(RWRA)를 디코딩하여, 다수의 워드 라인들(WL1 내지 WL<sub>i</sub>) 중에서 워드 라인을 선택한다. 스캔 로우 디코더 유닛(514)은 스캔 어드레스(SA)를 디코딩하여 스캔 어드레스 라인들(SAL1 내지 SAL<sub>i</sub>) 중에서 스캔 어드레스 라인을 선택한다. 컬럼 디코더 유닛(524)은 리드/라이트 동작시에 리드/라이트 컬럼 어드레스를 디코딩하여, 다수의 비트 라인쌍들((BL1, /BL1) 내지 (BL<sub>j</sub>, /BL<sub>j</sub>)) 중에서 비트 라인쌍을 선택하기 위하여 컬럼 선택 신호들(Y1 내지 Y<sub>j</sub>)을 발생한다. 스캔 래치 회로 유닛(516)은 스캔 인에이블 신호(SE)에 응답하여 스캔 데이터 아웃 라인들(SDOL1 내지 SDOL<sub>j</sub>)로부터 출력되는 데이터를 래치하여 스캔 출력신호들(Sout)을 발생한다. 프리차지 회로 유닛(518)은 비트 라인쌍들((BL1, /BL1) 내지 (BL<sub>j</sub>, /BL<sub>j</sub>))을 프리차지하고, 프리디스차지 회로 유닛(528)은 스캔 데이터 아웃 라인(SDOL<sub>i</sub> 내지 SDOL<sub>j</sub>)을 프리디스차지한다. 데이터 입출력 게이트 유닛(522)은 컬럼 선택 신호들(Y1 내지 Y<sub>j</sub>)에 응답하여 비트 라인쌍들((BL1, /BL1) 내지 (BL<sub>j</sub>, /BL<sub>j</sub>))의 데이터를 입출력한다. 센스 증폭기 유닛(520)은 비트 라인쌍들((BL1, /BL1) 내지 (BL<sub>j</sub>, /BL<sub>j</sub>)) 각각의 전압 차를 증폭한다. 데이터 입출력 회로 유닛(526)은 센스 증폭기 유닛(520)으로부터 출력되는 데이터를 출력 데이터(Dout)로 발생하고, 입력 데이터(Din)를 입력하여 데이터 입출력 게이트 유닛(522)으로 출력한다.
- <93> 상기한 구성 요소들을 포함하는 듀얼 포트 반도체 메모리 장치는 고정된 전압 포텐셜을 가지는 다수의 배선 라인을 더 포함하고 있는데, 이와 같이 고정된 전압 포텐셜을 가지는 배선 라인은 비트 라인쌍들((BL1, /BL1) 내지 (BL<sub>j</sub>, /BL<sub>j</sub>))과 동일한 레이어에

배열될 수 있다. 그리고, 이 경우에 고정된 전압 포텐셜을 가지는 배선 라인은 비트 라인 및 상보 비트 라인 사이에 서로 교대로 배열되는 것이 바람직하며, 하나의 비트 라인쌍 사이에 배열되는 배선 라인은 전원 전압 라인일 수 있다.

<94> 그리고, 상기한 구성 요소를 포함하는 듀얼 포트 반도체 메모리 장치는 메모리 셀의 모양이 장축과 단축의 길이 차이가 큰 직사각형 모양이기 때문에 엘씨디 드라이버 집적회로(LDI)와 같이 단축의 길이가 상당히 짧은 장치에 장착되어 사용될 수 있다.

#### 【발명의 효과】

<95> 본 발명에 의하면, 반도체 메모리 장치의 메모리 셀에 2개의 피웰 및 2개의 엔웰이 배열하고, 여기에 피모스 스캔 트랜지스터를 포함하여 총 7개의 트랜지스터로 구성된 듀얼 포트 반도체 메모리 장치를 반도체 기판에 구현할 수 있다. 따라서, 종래의 엔모스 스캔 트랜지스터를 포함하는 반도체 메모리 장치에 비하여 노이즈 마진이 증가하여 반도체 메모리 장치의 전기적 특성이 개선된다.

<96> 그리고, 본 발명의 바람직한 실시예에 의하면, 2개의 피웰 및 2개의 엔웰을 일렬로 배열하고, 웰 경계면과 평행한 방향으로 비트 라인쌍 및 스캔 데이터 아웃 라인을 배열할 수 있다. 이 경우 비트 라인쌍 및 스캔 데이터 아웃 라인이 메모리 셀의 단축 방향으로 배열되기 때문에, 비트 라인의 길이를 짧게 할 수 있다. 따라서, 기생 커패시턴스를 감소시킴으로써, 반도체 메모리 장치의 스피드를 향상시킬 수 있다.

<97> 또한, 본 발명의 바람직한 실시예에 의하면, 비트 라인 및 상보 비트 라인 사이 및 그 바깥에 고정된 전위를 가지는 도전 라인을 배열할 수가 있다. 따라서, 비트 라인 및

상보 비트 라인 사이에서 나타나는 간섭 현상 및 인접한 메모리 셀의 비트 라인쌍과의 사이에서 나타나는 상호 간섭 현상이 생기는 것을 방지할 수 있다.

<98> 그리고, 본 발명의 바람직한 실시예에 의하면, 피모스 스캔 트랜지스터가 형성되는 엔웰이 메모리 셀의 측면에 배치된다. 그 결과, 메모리 셀은 단축 방향에 비하여 장축 방향으로 그 길이가 상당히 크기 때문에, 엘씨디 드라이버 집적회로(LDI)와 같이 단축의 길이가 짧아야 하는 반도체 장치에 유용하게 활용할 수가 있다.

**【특허청구범위】****【청구항 1】**

각각 P+ 활성 영역이 형성된 제1 엔웰과 제2 엔웰 및 각각 N+ 활성 영역이 형성된 제1 피웰과 제2 피웰로 나누어진 다수의 메모리 셀을 포함하는 반도체 기판;

워드 라인 및 스캔 어드레스 라인; 및

비트 라인과 상보 비트 라인으로 구성된 비트 라인쌍 및 스캔 데이터 아웃 라인을 포함하고, 상기 메모리 셀 각각은,

제1 엔모스 트랜지스터, 제1 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제1 씨모스 인버터;

제 2 엔모스 트랜지스터, 제2 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제2 씨모스 인버터로서, 상기 제2 씨모스 인버터의 입력 단자는 상기 제1 씨모스 인버터의 출력 단자에 연결되어 제1 메모리 노드를 구성하고, 그리고 상기 제2 씨모스 인버터의 출력 단자는 상기 제1 씨모스 인버터의 입력 단자에 연결되어 제2 메모리 노드를 구성하는 제2 씨모스 인버터;

게이트가 상기 워드 라인에 연결되고, 드레인은 상기 비트 라인에 연결되며, 그리고 소스가 상기 제1 메모리 노드에 연결되어 있는 제3 엔모스 트랜지스터;

게이트가 상기 워드 라인에 연결되고, 드레인은 상기 상보 비트 라인에 연결되며, 그리고 소스가 상기 제2 메모리 노드에 연결되어 있는 제4 엔모스 트랜지스터; 및

게이트가 상기 스캔 어드레스 라인에 연결되고, 소스는 상기 제2 메모리 노드에 연결되어 있으며, 그리고 드레인은 상기 스캔 데이터 아웃 라인에 연결되어 있는 제3 피모

스 트랜지스터를 포함하는 듀얼 포트 반도체 메모리 장치로서, 상기 제1 엔모스 트랜지스터 및 상기 제3 엔모스 트랜지스터는 상기 제1 피웰의 N+ 활성 영역에 형성되고, 상기 제2 엔모스 트랜지스터 및 상기 제4 엔모스 트랜지스터는 상기 제2 피웰의 N+ 활성 영역에 형성되고, 상기 제1 피모스 트랜지스터 및 상기 제2 피모스 트랜지스터는 상기 제1 엔웰의 P+ 활성 영역에 형성되며, 상기 제3 피모스 트랜지스터는 상기 제2 엔웰의 P+ 활성 영역에 형성되는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 2】**

제1항에 있어서, 상기 반도체 메모리 장치의 메모리 셀 레이아웃은 상기 다수의 메모리 셀의 셀 경계면에 대하여 대칭이 되도록 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 3】**

제1항에 있어서, 상기 제1 피웰, 상기 제2 피웰, 상기 제1 엔웰 및 상기 제2 엔웰은 엔웰과 피웰이 교대로 상기 반도체 기판에 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 4】**

제3항에 있어서, 상기 비트 라인쌍 및 상기 스캔 데이터 아웃 라인은 상기 제1 피웰, 상기 제2 피웰, 상기 제1 엔웰 및 상기 제2 엔웰이 접하는 경계면과 평행한 방향으로 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.



**【청구항 5】**

제3항에 있어서, 상기 워드 라인 및 상기 스캔 어드레스 라인은 상기 제1 피셀, 상기 제2 피셀, 상기 제1 엔웰 및 상기 제2 엔웰이 접하는 경계면과 수직한 방향으로 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 6】**

제1항에 있어서, 상기 반도체 메모리 장치는 고정된 전압 포텐셜을 가지는 배선 라인을 더 포함하고, 상기 배선 라인은 상기 비트 라인쌍과 동일한 레이어에 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 7】**

제6항에 있어서, 상기 비트 라인 및 상기 상보 비트 라인과 상기 배선 라인이 교대로 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 8】**

제7항에 있어서, 상기 비트 라인 및 상기 상보 비트 라인 사이에 배열된 상기 배선 라인은 전원 전압 라인인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 9】**

각각 P+ 활성 영역이 형성된 제1 엔웰과 제2 엔웰 및 각각 N+ 활성 영역이 형성된 제1 피셀과 제2 피셀로 나누어지고, 상기 제1 엔웰 및 상기 제2 엔웰은 상기 제2 피셀의 양 측면에 위치하고, 상기 제1 피셀 및 상기 제2 피셀은 상기 제1 엔웰의 양 측면에 위치하는 다수의 메모리 셀을 포함하는 반도체 기판;

워드 라인 및 스캔 어드레스 라인; 및

비트 라인과 상보 비트 라인으로 구성된 비트 라인쌍 및 스캔 데이터 아웃 라인을 포함하고, 상기 메모리 셀 각각은,

제 1 엔모스 트랜지스터, 제1 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제1 씨모스 인버터;

제2 엔모스 트랜지스터, 제2 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제2 씨모스 인버터로서, 상기 제2 씨모스 인버터의 입력 단자는 상기 제1 씨모스 인버터의 출력 단자에 연결되어 제1 메모리 노드를 구성하고, 그리고 상기 제2 씨모스 인버터의 출력 단자는 상기 제1 씨모스 인버터의 입력 단자에 연결되어 제2 메모리 노드를 구성하는 제2 씨모스 인버터;

게이트가 상기 워드 라인에 연결되고, 드레인은 상기 비트 라인에 연결되며, 그리고 소스가 상기 제1 메모리 노드에 연결되어 있는 제3 엔모스 트랜지스터;

게이트가 상기 워드 라인에 연결되고, 드레인은 상기 상보 비트 라인에 연결되며, 그리고 소스가 상기 제2 메모리 노드에 연결되어 있는 제4 엔모스 트랜지스터; 및

게이트가 상기 스캔 어드레스 라인에 연결되고, 소스는 상기 제2 메모리 노드에 연결되어 있으며, 그리고 드레인은 상기 스캔 데이터 아웃 라인에 연결되어 있는 제3 피모스 트랜지스터를 포함하는 듀얼 포트 반도체 메모리 장치로서, 상기 제1 엔모스 트랜지스터 및 상기 제3 엔모스 트랜지스터는 상기 제1 피웰의  $N^+$  활성 영역에 형성되고, 상기 제2 엔모스 트랜지스터 및 상기 제4 엔모스 트랜지스터는 상기 제2 피웰의  $N^+$  활성 영역에 형성되고, 상기 제1 피모스 트랜지스터 및 상기 제2 피모스 트랜지스터는 상기 제1

엔웰의 P+ 활성 영역에 형성되며, 상기 제3 피모스 트랜지스터는 상기 제2 엔웰의 P+ 활성 영역에 형성되는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 10】**

제9항에 있어서, 상기 반도체 메모리 장치의 메모리 셀 레이아웃은 상기 다수의 메모리 셀의 셀 경계면에 대하여 대칭이 되도록 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 11】**

제9항에 있어서, 상기 비트 라인쌍 및 상기 스캔 데이터 아웃 라인은 상기 제1 피웰, 상기 제2 피웰, 상기 제1 엔웰 및 상기 제2 엔웰이 접하는 경계면과 평행한 방향으로 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 12】**

제9항에 있어서, 상기 워드 라인 및 상기 스캔 어드레스 라인은 상기 제1 피웰, 상기 제2 피웰, 상기 제1 엔웰 및 상기 제2 엔웰이 접하는 경계면과 수직한 방향으로 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 13】**

제9항에 있어서, 상기 반도체 메모리 장치는 고정된 전압 포텐셜을 가지는 배선 라인을 더 포함하고, 상기 배선 라인은 상기 비트 라인쌍과 동일한 레이어에 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 14】**

제13항에 있어서, 상기 비트 라인 및 상기 상보 비트 라인과 상기 배선 라인이 교대로 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 15】**

제14항에 있어서, 상기 비트 라인 및 상기 상보 비트 라인 사이에 배열된 상기 배선 라인은 전원 전압 라인인 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 16】**

제1항의 반도체 메모리 장치에 포함된 메모리 셀이 매트릭스 형태로 다수 배열된 메모리 셀 어레이 유닛;

다수의 워드 라인 및 스캔 어드레스 라인;

다수의 비트 라인과 상보 비트 라인으로 구성된 비트 라인쌍 및 다수의 스캔 데이터 아웃 라인;

상기 워드 라인을 선택하기 위한 리드/라이트 로우 디코더 유닛;

상기 스캔 어드레스 라인을 선택하기 위한 스캔 로우 디코더 유닛;

상기 비트 라인쌍을 선택하기 위한 컬럼 디코더 유닛;

상기 스캔 데이터 아웃 라인으로 출력되는 데이터를 래치하여 스캔 출력신호를 발생하기 위한 스캔 래치 회로 유닛;

상기 비트 라인쌍을 프리차지하기 위한 프리차지 회로 유닛;

상기 스캔 데이터 아웃 라인을 프리디스차지하기 위한 프리디스차지 회로 유닛;

상기 비트 라인쌍에 데이터를 입출력하기 위한 데이터 입출력 게이트 유닛;

상기 비트 라인과 상기 상보 비트 라인의 전압차를 증폭하기 위한 센스 증폭기 유닛; 및

상기 센스 증폭기 유닛으로부터 출력되는 데이터는 출력 데이터로 발생시키고, 입력 데이터는 상기 데이터 입출력 게이트 유닛으로 출력하기 위한 데이터 입출력 회로 유닛을 포함하는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

【청구항 17】

제16항에 있어서, 상기 반도체 메모리 장치는 고정된 전압 포텐셜을 가지는 다수의 배선 라인을 더 포함하고, 상기 배선 라인은 상기 비트 라인쌍과 동일한 레이어에 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

【청구항 18】

제17항에 있어서, 상기 배선 라인은 상기 비트 라인 및 상기 상보 비트 라인 사이에 서로 교대로 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

【청구항 19】

제18항에 있어서, 상기 비트 라인 및 상기 상보 비트 라인 사이에 배열된 상기 배선 라인은 전원 전압 라인인 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

【청구항 20】

제16항에 있어서, 상기 반도체 메모리 장치는 엘씨디 드라이버 집적회로에 장착되어 사용되는 것을 특징으로 하는 반도체 메모리 장치.

## 【청구항 21】

제9항의 반도체 메모리 장치에 포함된 메모리 셀이 매트릭스 형태로 다수 배열된 메모리 셀 어레이 유닛;

다수의 워드 라인 및 스캔 어드레스 라인;

다수의 비트 라인과 상보 비트 라인으로 구성된 비트 라인쌍 및 다수의 스캔 데이터 아웃 라인;

상기 워드 라인을 선택하기 위한 리드/라이트 로우 디코더 유닛;

상기 스캔 어드레스 라인을 선택하기 위한 스캔 로우 디코더 유닛;

상기 비트 라인쌍을 선택하기 위한 컬럼 디코더 유닛;

상기 스캔 데이터 아웃 라인으로 출력되는 데이터를 래치하여 스캔 출력신호를 발생하기 위한 스캔 래치 회로 유닛;

상기 비트 라인쌍을 프리차지하기 위한 프리차지 회로 유닛;

상기 스캔 데이터 아웃 라인을 프리디스차지하기 위한 프리디스차지 회로 유닛;

상기 비트 라인쌍에 데이터를 입출력하기 위한 데이터 입출력 게이트 유닛;

상기 비트 라인쌍의 전압차를 증폭하기 위한 센스 증폭기 유닛; 및

상기 센스 증폭기 유닛으로부터 출력되는 데이터는 출력 데이터로 발생시키고, 입력 데이터는 상기 데이터 입출력 게이트 유닛으로 출력하기 위한 데이터 입출력 회로 유닛을 포함하는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 22】**

제21항에 있어서, 상기 반도체 메모리 장치는 고정된 전압 포텐셜을 가지는 다수의 배선 라인을 더 포함하고, 상기 배선 라인은 상기 비트 라인쌍과 동일한 레이어에 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 23】**

제22항에 있어서, 상기 배선 라인은 상기 비트 라인 및 상기 상보 비트 라인 사이에 서로 교대로 배열되어 있는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 24】**

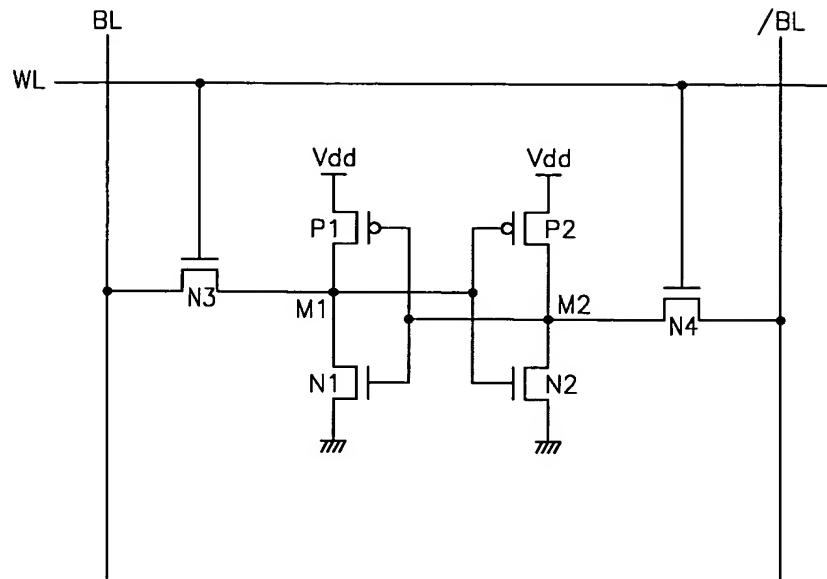
제23항에 있어서, 상기 비트 라인 및 상기 상보 비트 라인 사이에 배열된 상기 배선 라인은 전원 전압 라인인 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

**【청구항 25】**

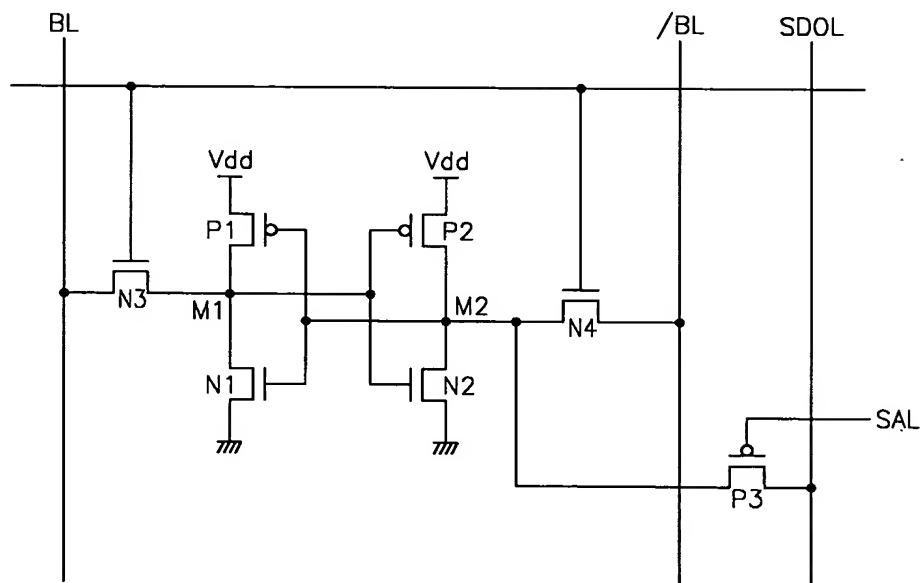
제21항에 있어서, 상기 반도체 메모리 장치는 엘씨디 드라이버 집적회로에 장착되어 사용되는 것을 특징으로 하는 듀얼 포트 반도체 메모리 장치.

## 【도면】

【도 1】

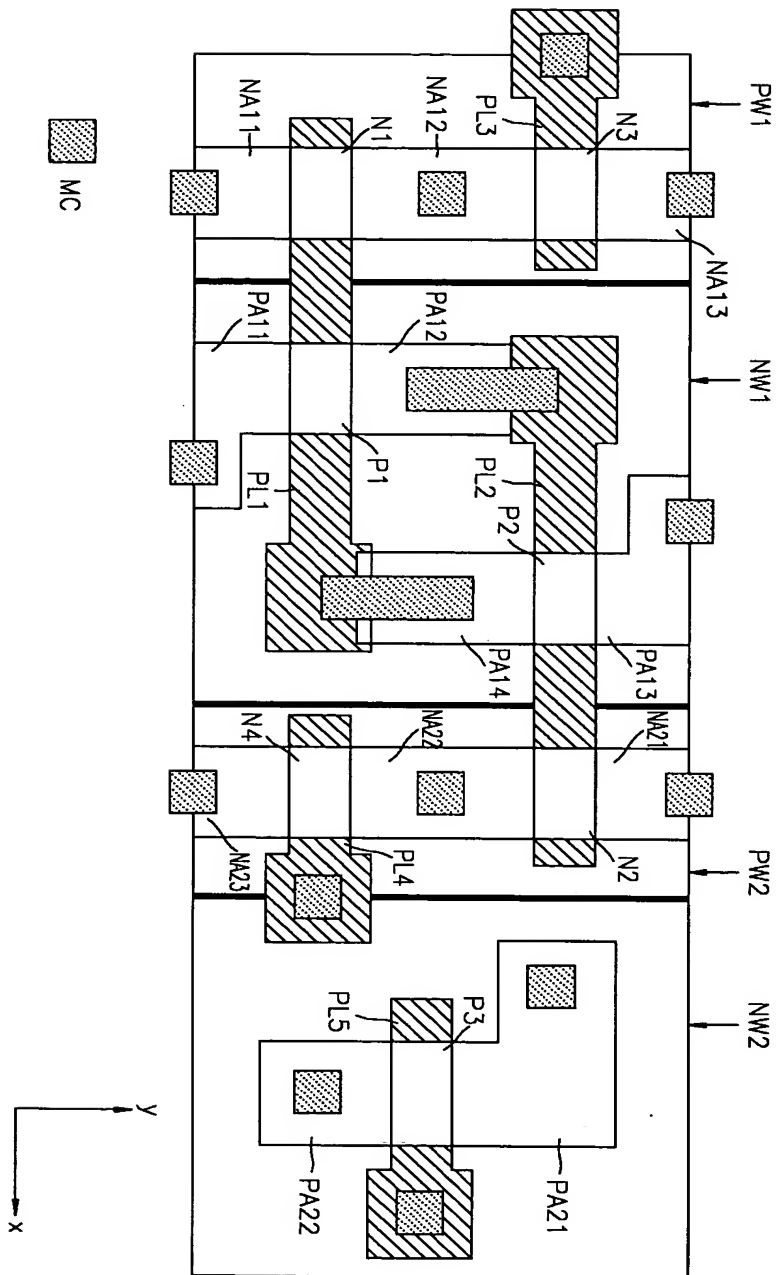


【도 2】

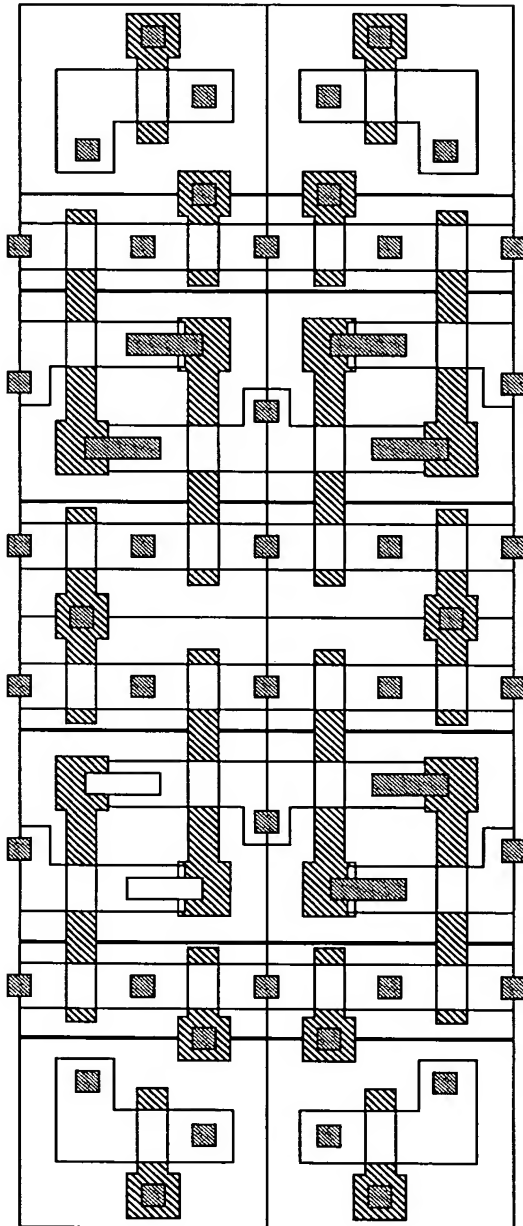




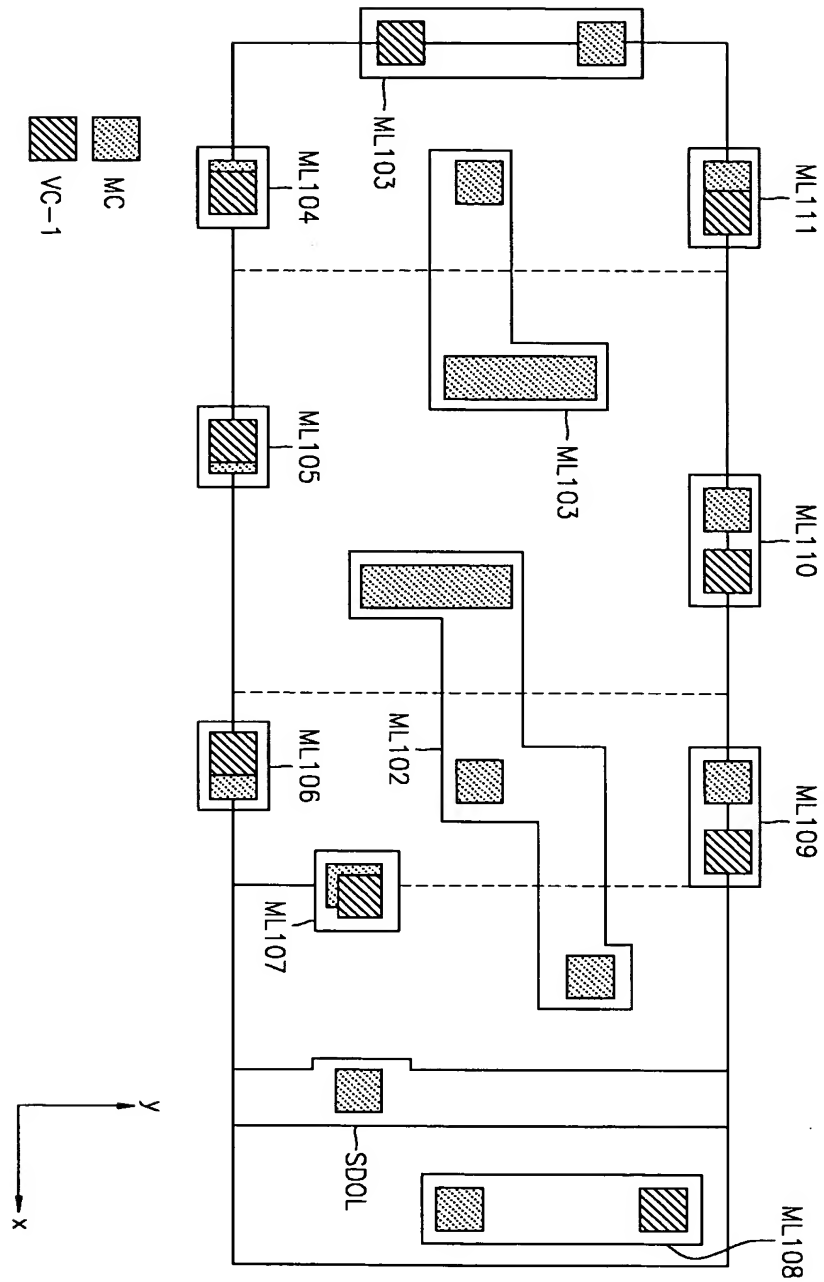
【도 3】



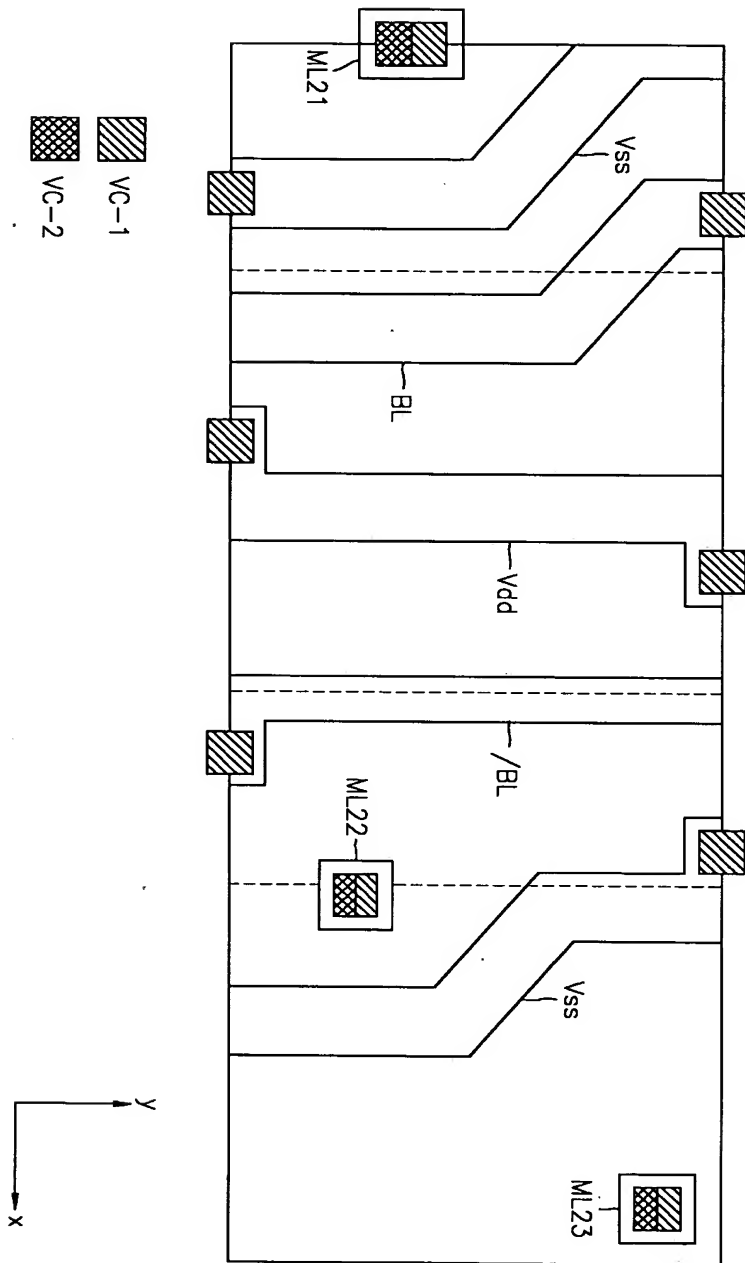
【도 4】



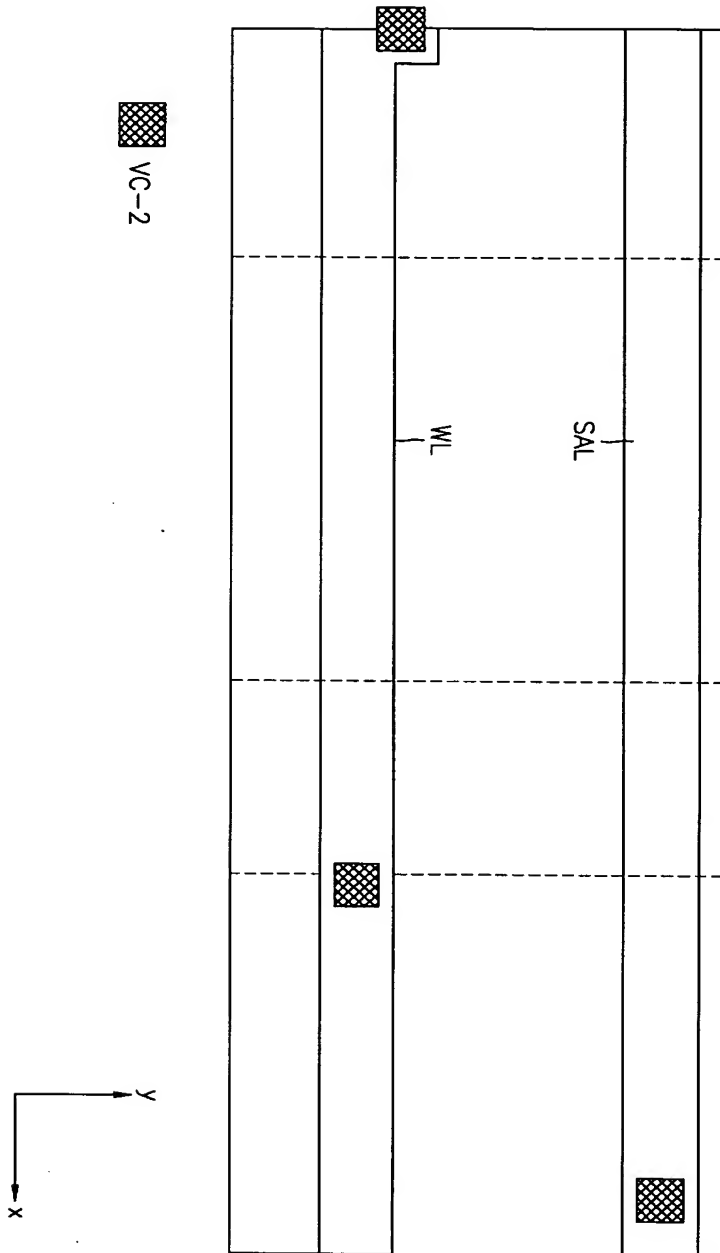
【도 5】



【도 6】



【도 7】



【도 8】

